

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-305871

(43)Date of publication of application : 28.10.1992

(51)Int.Cl.

G11B 20/12

G06F 3/06

(21)Application number : 04-003172

(71)Applicant : HEWLETT PACKARD CO <HP>

(22)Date of filing : 10.01.1992

(72)Inventor : SHINN CHARLES E

(30)Priority

Priority number : 91 642981

Priority date : 10.01.1991

Priority country : US

(54) FAULT PERMISSION CONVERSION METHOD IN MEMORY FILE

(57)Abstract:

PURPOSE: To reduce the waste of a data space in a recording medium by detecting fault permission on the bit defect of a header field.

CONSTITUTION: Serial 2 and 7 codes which are read from a disk, are shifted to the long shift register of a detection circuit having the storage capacity of 22 bits in flip lops F1-F22. When shift completes, all bit signals can simultaneously be inspected and the logical/mutual relation of the bit signals for realizing one bit fault permission is inspected. Generally, locations obtained by adding the OR relation of two possible locations in the last shift of a synchronous field to the three shifts of a data start mark are combined in such a way that three of four shifts have to be valid.



(11)特許出願公開番号

(43)公開日 平成4年(1992)10月28日

審査請求 未請求 請求項の数1(全 14 頁)

(74)代理人 弁理士 古谷 馨 (外3名)

【特許請求の範囲】

【請求項1】トラックにてビットコードを用いる可動記憶媒体を有するメモリファイルにおいて、前記コードを検出するための方法が、前記ビットコードのビットを逐次走査して電氣的ビット信号を生成し、前記ビットが走査される順に前記ビット信号を記憶し、異なるビット位置からの少なくとも2つの記憶されたビット信号を論理的に組み合わせて異なるビット信号組み合わせを形成し、異なるビット信号組み合わせから単一信号を生成し、全ての単一信号の数よりも少数である異なる単一信号を論理的に組み合わせて異なる単一信号グループを形成し、前記単一信号グループのいずれかに組み合わせられた単一信号が全て同時に存在することを利用して前記コードの検出を示す、ということよりなることを特徴とする、メモリ・ファイルにおける故障許容変換方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は一般にメモリ・システムにおけるテープまたはディスク等の可動記録媒体に記録されたコードを読み出す際に故障許容 (fault tolerance) を提供する方法に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】光学式または磁気式のメモリ・システムには、セクションまたはセクタに情報が記録される可動記録媒体を有するものがある。該情報セクションは、そこから所望情報を読み出すことができるようにアクセス可能でなければならない。可動媒体上の離散記録のヘッダ・セクションを該情報セクションの前に置き、ビット・コード・パターンのフィールドを定義し、同期フィールドや、情報またはデータ開始フィールド(データ開始マーク(SODマーク)とも呼ばれる)を、記録された情報またはデータへの時限アクセスをもたらすための情報も含んでいるデータ・アドレス・フィールドとともに形成することにより、アクセシビリティが達成される。該フィールドは、ビット形式での媒体上の記録、例えば磁気媒体上の磁気双ビットからなり、この媒体上の記録は媒体表面に隣接して配置された変換器を媒体が通過する際に変換される。変換器は、媒体上の記録ビットに光学的または磁氣的に結合されている。磁気媒体のビットは、遷移及び非遷移磁気双ビットのパターンで逐次記録される。磁気媒体表面は、一般に、磁気分極の1つの状態にあり、クロック・パルス間隔(ビット・タイム)内で読み出される(変換される)と、非遷移ビットの特徴を表す電気表示をもたらす。遷移ビットは、磁気媒体の非遷移ビットから磁氣的に逆極性化されるので、異なる電氣的表示をもたらす。ビット・パターン形式のヘッダ・セクションは、各種目的に用いることができる。その目的の中には、読み出し及び書き込み操作の媒体に関してサーボ・システム及び読み／書き制御装置を同期させ又はフェーズ・ロック

したり、変換器により情報が記録され読み出される可動媒体上の特定ロケーション即ち位置を識別する際に有用な表示をもたらすための目的がある。データ開始マークは、ヘッダ・フィールドの一部である。ヘッダ・フィールドは一般に、書込スプライス・フィールド、フェーズ・ロック・フィールド、同期フィールド、データ開始マークまたはフィールド、及びデータ・アドレス・フィールドを連続して含む。

【0003】高密度記録では、例えば、磁気双ビットを含むコードをエラーなしで、特に単一ビット・エラーなしで書き込むことは困難である。該コード例えばデータ開始コードなどを読み出す際に欠陥許容 (defect tolerance) がなければ、データ開始マークに欠陥を含むセクションまたはセクタを割愛する(省く)を必要がある。これはデータ・スペースの浪費となる。また、専用サーボを用いる場合、構造的なフレキシビリティのために駆動タイミングの正確性が十分ではないので、読み出しエラーが発生する。したがって、サーボ・ヘッドと個々の読み出し・書き込みまたはデータ・ヘッドとの間の機械的変位によるタイミング・シフト(ヘッド・シフトと呼ばれている)、及びデジタル信号プロセッサの量子化エラーは、データ開始マークが書き込まれるといつてもその移動または変位をもたらす。最終的な結果は、変換システムにおける故障許容がない場合に、データ開始マークを書き込むことのできる最大範囲に等しい媒体の表面領域を走査し、欠陥が全くないものでなければならないことである。もちろん、表面領域が大きければ大きいほど、該表面欠陥の蓋然性はそれだけ高くなる。

【0004】他方、データ開始マークが長ければ長いほど、相互に関連する多くのビット遷移があるので、標準故障許容を達成することがより容易になる。データ開始マークが整数のバイト長(8ビット/バイト)であることも望ましい。これは、データ開始マークにアクセスするための特別タイミングが必要とされないように、タイミング回路がバイト長増分で既に動作しなければならないからである。1バイト長のデータ開始マークが望ましい。一般に、ヘッダ・セクションのオーバヘッドを増加させてユーザ・データ記憶容量を減少させるので、長いデータ開始マークは望ましくない。

【0005】出願人が現在知るところの先行技術においては、前述の問題は直接に取り組まれていない。

【0006】1988年4月26日発行のP. L. シャー (P. L. Shah) 他による名称が“ディスク記憶システムにおいてセクタ・マークをデータに整列させるためのシステム”である米国特許第4,740,941号には、サーボ・トラック及びデータ・トラックを用いるメモリ・システムについて述べられている。サーボ・トラック内のマークはセクタを定義し、データ・トラック内のマークはデータの開始を定義する。トラックの最初のセクタ・マークはインデックス・マークである。データの始まりを示すマ

ークは、インデックス・マークに関して固定位置を有する。読み出し／書き込みヘッドは、マークを正しく変換するように制御され、そこから各トラックのデータ時間差に対するセクタ・マークが決定される。ビットの欠陥に関する故障許容については取り組まれていない。

【0007】1986年4月22日発行のD. M. アレン(D. M. Allen)による名称が“磁気媒体にデータを記憶させるためのフォーマット”である米国特許第4,584,616号に、ヘッダ・フィールド、データ・フィールド、及びデータ・フィールドの終りにあるトラック・ギャップが連続して成るデータ・トラックについて記述されている。ヘッダ・フィールドはデータのはじめのフィールドを信号で知らせる符号化制御情報を含む。トラック・ギャップは、前に記録されたデータからの擬似データの記憶場所(depository)である。ギャップ長は、それがヘッダ・フィールドとして認められることを防ぐため、ヘッダ・フィールドよりも短い。ビット欠陥に関する故障許容については取り組まれていない。

【0008】1981年10月27日発行のR. アンドレセン(R. Andresen)他による名称が“同期マークを伴うセクタ・サーボ”である米国特許第4,297,737号では、当該セクタのサーボ情報の妥当性または非妥当性を示すために符号化同期信号が用いられている。ビット欠陥に関する故障許容については取り組まれていない。

【0009】1976年12月14日発行のD. I. フラッシュ(D. I. Frush)による名称が“周辺記憶システムにおける記録媒体の欠陥を回避するための装置及び方法”である米国特許第3,997,876号では、データ記録領域におけるディスクの表面欠陥の位置を示し、データ読み出し中に識別されるがデータとはみなされない識別コードをそこに記録することにより、データに関する故障許容について取り組んでいる。この点で、ビット欠陥に関する故障許容については取り組まれていない。故障許容は、表面欠陥にデータを記録することを防ぐための、ディスクの表面欠陥向けのものである。

【0010】記録媒体のデータ・スペースをスキップしたり浪費することを最小にするため、ヘッダ・フィールドにおけるビット欠陥に関する故障許容が必要である。

【0011】

【課題を解決するための手段】消失したり、シフトされた又は不良の記録ビットに対して故障許容を与える一方、システムの同期化のためや、移動する記録媒体上の位置すなわちロケーションを識別するための目的で、最小長の改良ビット・コードをメモリ媒体に記憶したり、コードを識別するためにメモリ媒体から送られる信号を論理的に処理するためのメモリ・システムにおける方法及び手段をここに開示する。

【0012】本発明は、その幅広い特徴の1つとして、媒体におけるデータ・トラックのヘッダ・フィールドに、磁気、磁気光学等により変換される遷移及び非遷移

ビットのパターンとして記録されたコードをもたらす。そこから生成される信号は論理的に結合、処理及び利用されて、該コードを有効コードとみなすと共に、少なくとも消失、誤配置又はシフトされた個々のビットに関して故障許容をもたらす。本発明は、別の特徴においては、同期化機能を達成すると共に、同期フィールドの選択されたビット記録が、データ開始フィールドの選択されたビット記録と組み合わせられて、最短データ開始フィールド要求でデータ開始マークを定義するコードを与えるところの、データ開始マークを定義するコードの提供に向けられている。2つのフィールドからの該ビット記録から変換されるビット信号は再び論理的に組み合わせられてフィールドの個々のビットに関して故障許容が与えられ、それにより該コードは意図された機能に対して有効コードとみなされる。

【0013】データ開始マークのデータ開始フィールド部分は、遷移及び非遷移ビットの16ビット・コードにおける少なくとも3つの遷移ビットから成り、同期フィールドの選択された部分は少なくとも1つの遷移ビットから成る。これは少なくとも4つの遷移ビット・コードを形成する。このコードから生成されるビット信号は、検出回路に記憶され、そこで同時に検査される。データ開始フィールドの3つの遷移ビットの各々に、同期フィールドの最後の遷移ビットの2つの可能なロケーションの代わりの相関関係を加えたロケーションが決定される。選択されたビット信号は、論理的に組み合わせられて複数の信号を生成するが、なかでも4つの信号は最適方式で発明を実施するためのものである。この4つの信号は、3つの異なる信号の異なるグループに組み合わせられるので、いずれかのグループの4つの信号のうちの3つは、該コードを識別するために同時に有効でなければならない。したがって、1ビットを消失することはあるが、データ開始マークはまだ識別される。ビット、すなわち遷移及び非遷移ビットを表す信号の組合せにおいては、フェーズ・ロック及び同期フィールドなどの初期に変換されたフィールドからのビット信号の組合せがデータ開始マークと間違われないように、信号は選択的に組み合わせられている。

【0014】例えば、データ・マーク記録の完全な開始を試験するために、4つの信号の4つすべてが有効であることを要求するような代りの動作モードについても論理的手段が設けられている。

【0015】本発明は、図面と共に以下の説明を参照することにより、より良く理解されるであろう。

【0016】

【実施例】記憶すべき情報量を増加する必要性と結びつく、可動記憶媒体を有するより小さなメモリ・システムの必要性と共に、媒体上の記録密度が著しく増大してきた。記録密度が増加すると、ビット記録及び変換エラー(ビット・エラー率と呼ばれている)もまた増加する。

5

データ開始コード等のヘッダ・フィールド・コードにおける単一ビット・エラーのみの結果として以後のデータを割愛することを最小にするため、故障許容は、媒体のヘッダ・フィールドを走査する際にますます重要になる。

【0017】本発明は、テープ・ドライブまたはディスク・ドライブ装置のように可動記憶媒体を有するメモリ・システムに適用可能であるが、本発明は、その最適方式の実施についてメモリ・ファイルに関連して記述するが、このメモリ・ファイルは、可動記憶媒体が公知のよう

10 に磁気双ビットを記録する磁化可能表面を有する回転ディスクであるものである。

【0018】図1及び図2に、各々“ハード”及び“ソフト”セクタとして知られている従来のディスク・セクタの2つの異なるタイプの概念図を示す。この2つの図は、ディスク上の各トラックにおいてフォーマット化された際に物理的にアーチ形状となるディスク・セクタを線形的に表現したものである。この2つの図は、セクタ内のすべてのフィールドを表すように意図されたものではなく、むしろ本発明を説明する際に重要なフィールド

20 だけを表すためのものである。本発明は、これら及び他のセクタ・フォーマットで実施することができる。

【0019】図1に示す“ハード”セクタは、左から右に連続して、書込スプライス・フィールド1、フェーズ・ロック・フィールド2、同期フィールド3a、データ開始フィールド3b、データ・アドレス・フィールド4、及び周期冗長検査フィールド(CRC)5から成るセクションを有するヘッダ・フィールドを含む。データ開始マーク3は、データ開始フィールド3b及び同期フィールド3aの一部を含む。セクタ内ではヘッダ・フィールドの次にデータ・フィールドがある。このデータ・フィールドは、同期フィールド3c、データ開始フィールド即ちデータ開始マーク3d、データ・フィールド6、エラー修正コード・フィールド(ECC)7、及び周期冗長検査フィールド(CRC)5aから成る。

【0020】図2では、図1のセクタ・フォーマットにおける個々のヘッダ及びデータ・フィールドが組み合わされ、データ・フィールドに属していた同期フィールド3c及びデータ開始マーク3dを省いてセクタを短くしているが、データ・フィールドを変更するときには、図1の場合のようにデータ・フィールドだけでなく、セクタ全体の書換えを必要とするという短所が付随する。

【0021】図の右から左に媒体が移動すると、変換器(図示せず)に関してデータ開始マークが検出され、それにより、次のデータ・アドレスが正しければ、システムは、そこを通過するデータ・フィールドからデータを読み出すことが可能となる。図3は、本発明を用いた代表的なディスク・ドライブ・システムのブロック図である。ディスク・ドライブ8は、1つのディスク9及び1つの変換器即ち磁気ヘッド11を含むものとして単に示さ

6

れている。ディスク・ドライブ・システムは、ホスト・コンピュータ13の制御下にあるコンピュータ・システムの一部であり、ホスト・コンピュータ13は、ディスク・ドライブに記憶された情報に周期的にアクセスすることを要求する。ホスト・コンピュータ13からの情報要求はディスク・コントローラ15に送られ、ディスク・コントローラ15は、該要求を翻訳して特定ディスク上のトラック及びヘッドを識別する。ディスク・コントローラ15はサーボ・システム17の動作を開始させる。サーボ・システム17は選択された磁気ヘッドを移動して選択されたトラックをシークし、トラックが見つかったとその選択トラックを追跡する。ディスク・コントローラ15は、次のデータ・アドレスを読み出すためにデコーダ/エンコーダ27に信号を送って変換器の位置を確認する。アドレスが確認され、それがホスト・コンピュータ13により所望されるデータ・ロケーションの一部または全部であるならば、ディスク・コントローラ13がそのデータをホスト・コンピュータへ伝送する。確認されたアドレスがホスト・コンピュータ13により所望されるデータ・ロケーションの一部または全部でない場合には、ホスト・コンピュータ13へのデータ転送を開始するための所望のデータ・アドレスがくるまでコントローラ15は待機する。

【0022】磁気ヘッド11の出力は、読み出し/書き込みアンプ19を介して読み出しアンプ及びフィルタ回路21へ接続され、そこでサーボ・システム17のための信号整形及び利得制御が行われる。読み出しアンプ及びフィルタ回路21の出力は、AD変換器機能をも有するデータ・セパレータ23に接続される。ディスク9から読み出されたすべてのビットは、データ・セパレータ23により検出回路25を介してデコーダ/エンコーダ27へ送られる。同期フィールド3a及びデータ開始フィールド3bからのビット信号がデータ開始マーク3を識別すると、その次のデータ・アドレス・フィールドは、デコーダ/エンコーダ回路27によりデコードされ、ディスク・コントローラ15へ送られる。データ・アドレスがディスク・コントローラ内のデータ・アドレスと比較されると、ディスク・コントローラは、データをデコードするためにデコーダ/エンコーダに信号を送る。選択トラック内の該セクタ・アドレスに記録されたデータは、ディスク・コントローラ15に送られ、次にホスト・コンピュータ13に送られる。このデータ転送は、要求された情報を表す。エンコードされたデータとしてディスク上に書き込まれるデータは、アドレスと共にディスク・コントローラ15からデコーダ/エンコーダ27に送られる。選択トラックにおけるアドレスが見つけれられると、デコーダ/エンコーダ27によりエンコードされた書き込みデータが書き込まれる。図3に示すように、情報は、ホスト・コンピュータ13、ディスク・コントローラ15及びデコーダ/エンコーダ27間でNRZコードにて伝送される。変換器11に対する入出力情報は(2,7)コードである。同期フィールド・

コード及びデータ開始フィールド・コードの発現は、本発明を実施するための最適方式を説明する際のこのような状況に基づくものである。本発明の原理は他のコードを用いても実施可能であるということが理解されるであろう。

【0023】公知のフェーズ・ロック・フィールド2は、繰返し一定周波数パターンを有する磁気双ビットから成る。フェーズ・ロック・フィールド2における双ビット・パターンは、磁気ヘッド11により読み出された際にリードバック双ビットにデータ・クロックをフェーズ・ロックするため、フェーズ・ロック・ループ制御装置33によって用いられる。これはスピンドル速度の変動のために行わなければならない。スピンドル速度の変動は、ある用途では0.5%程度にすぎないが、そのうちに単一遷移ビット・ロケーションと比較された際に周方向ビット遷移により非常に大きくなり、ディスクに関して5ビット倍のものの大きさの周方向タイミング・エラーを伴うことがある。フェーズ・ロックは、データ検出の同期開始に先行する。

【0024】製造歩留り及び試験時間を改善するためには、故障許容、すなわでできる限り多くの単一ビット信号ドロップイン、ドロップアウト及びビット信号シフトに耐えるデータ開始検出システムを有することが望ましい。大多数の記録ビット欠陥は単一ビット長にすぎないものであるので、単一ビット故障許容は、データ・スペース割愛の低減において著しい改善をもたらす。

【0025】欠陥許容のない現在の方法では、データ開始マーク3における欠陥が先行するデータ・セクションの割愛またはスキップを必要とする。専用サーボを使用するためにドライブ・タイミングが不正確となる用途において、ヘッド・シフト及びDSP量子化によるタイミング・シフトは、ヘッドとデータ開始マークとの間の機械的変位をもたらす。データ開始マーク3の正確な位置は移動すると思われる。最終結果としては、データ開始マーク3を書き込むことのできる最大範囲に等しい領域*

*を走査して、故障許容がなくとも完全に欠陥のないものとならなければならない。もちろん、データ開始マーク3のディスク領域が大きければ大きいほど、単一ビット欠陥の蓋然性がそれだけ高くなる。

【0026】磁気ヘッドの共振周波数範囲のフェーズ・ロック周波数は、同期フィールド3a及びデータ開始フィールド3bにおけるデータ開始マーク3を示す双ビット・パターン用のコードを選択する際に考慮に入れることの要因となる。本発明を実施する際には(2,7)コードを選択する。

【0027】(2,7)コードのコード・テーブルは下記の通りである。

【0028】

【表1】

NRZデータ	(2,7)コード
00	1000
01	0100
100	001000
101	100100
111	000100
1100	00001000
1101	00100100

【0029】エンコード・アルゴリズムは、テーブルに当てはまる最長のNRZグループを見つけることである。よって、NRZコード“11110100”のシーケンスはエンコード時に“111”“101”“00”とグループ化される。これは、(2,7)コードでは“000100”“100100”“1000”である。

【0030】同期フィールドが単一周波数でなければならないので、使用可能な(2,7)コードは2パターンとなる。

【0031】

【表2】

同期フィールド		
(2,7)コード	NRZ	NRZ _{h..}
“3T”パターン 100100100...→	101101101...→	B6D
“4T”パターン 10001000...→	000000000...→	00

【0032】最も速いロックでは、最上位遷移ビット“1”を伴うパターンが最適である。しかし、D6D_{ex}のNRZパターンでは、書き込まれるデータに関する正確な書き込み/スプライス信号タイミング(書込スプライス・フィールド1、検出)が要求される。これは、磁気ヘッドのアームスタック構造の機械的フレキシビリティのため、専用サーボ・ドライブとは適合しない。さらに、書き込み動作モードにおける書き込み電流のターン

・オン・タイムを考慮に入れなければならない。

【0033】4Tパターンでは、データ開始フィールド3aにおけるデータ開始マーク3の当該部分についてのコードは、該(2,7)パターンにエンコードされることが望ましい。このことは、書き込みスプライス・フィールド1が読み出されてから、データ開始フィールド3bの最初のビットが読みだされるまでに、同期フィールド3aを通過する際に発生するNRZゼロの数とは無関係である。しか

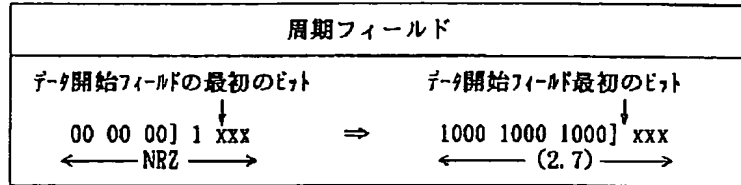
し、書き込みノブライズ信号タイミングはそれほど正確ではない。表1のコード・テーブルを参照すると、データ開始フィールド3bの最初のNRZビットが“1”であることが仮定されている。NRZコードでは、表2のコード・テーブルに示すように、NRZ同期フィールドが全てNRZゼロであるため、書込時に図3に示すデコーダ/エ*

*ンコーダ27が遭遇するのは最初の“1”遷移である。

【0034】データ開始フィールド3bの最初のビットの前のNRZゼロが偶数個の場合、シーケンスは次の通りである。

【0035】

【表3】

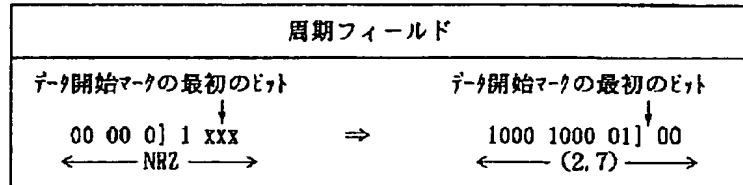


【0036】データ開始フィールド3bの最初のビットの前のNRZゼロが奇数個の場合、シーケンスは次の通りである。

※【0037】

【表4】

※



【0038】データ開始フィールド3bの前のゼロが偶数であるか奇数であるかに関わらず、データ開始フィールド3bのビット・パターンを、NRZコードから該(2, 7)ビット・パターンにエンコードするためには、データ開始フィールド3bの最初の2ビットの(2, 7)コードが00である必要がある。以下に示す表5のコード・テーブルから、この基準を満たすビット・パターンが4つだけであることが分かる。

【0039】

【表5】

NRZコード	(2, 7)コード
100	00100
111	000100
1100	00001000
1101	00100100

【0040】このテーブルからNRZ数1101は(2, 7)コードの“1”遷移の最大数にエンコードされる。これは相互関係を容易にするので非常に望ましい。またこのNRZコードのビット・パターンが、NRZコードのゼロの数とは無関係に(2, 7)コードの該ビット・パターンにエンコードされるように、101(NRZ) = 100100(2, 7)であるこ

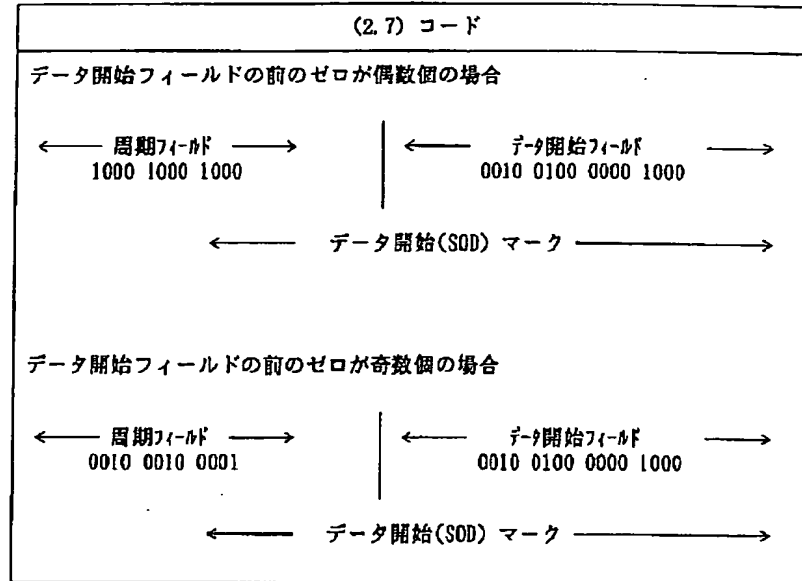
とに注目することも重要である。

【0041】しかし、NRZコードのビット・パターン(1101)はわずか2分の1バイト(4ビット)長であり、整数バイト長のビット・パターンが望ましい。別に要求されることは、データ開始フィールド3bのビット・パターンがその後のデータに関わりなく同様であることである。これは、もう1つの2分の1バイト・パターンを必要とするので、以後のデータは影響を及ぼさない。

30 唯一の選択は、別のNRZコード1101(D_{hex})、または別のNRZコード1100(C_{hex})からのビット・パターンである。D_{hex}ビット・パターンにはさらに多くの遷移があり、これは望ましいことであるが、先行するビット・パターンもD_{hex}ビット・パターンであるため、1ビット故障を受け入れることのできる相互関係をつくるのが困難となる。D_{hex}及びC_{hex}コードのビット・パターンを組み合わせることにより、データ開始マークについてのDC_{hex}ビット・パターンが得られ、1ビット故障を受け入れることのできる相互関係が提供される。(2, 7)コードである同期フィールド3aのビット・パターン及びデータ開始フィールド3bのビット・パターンは次の通りである。

【0042】

【表6】



【0043】DC₁: (2, 7) コードのビット・パターン及びデータ開始フィールドのビット・パターンには遷移“1”が3つだけ存在する。1ビットのドロップアウトまたは故障を許容するため、この場合には2つの遷移についてのビット故障検出が要求される。しかし、これは、1ビットのドロップインまたはビット・シフトを誤って検出する高い蓋然性をもたらす。1ビットの故障許容という目標を達成するためには、相互関係のためのさらに多くの遷移を必要とする。

【0044】1つの代替策として、データ開始マーク3を長くするという方法があるが、これは望ましくない。というのも、データ記録スペースを減少させるだけでなく、ギャップ・サイズにおいて考慮されなければならないエンコード/デコード遅延を長くするからである。

【0045】現在のところ望ましい別の代替策として、隣接する同期フィールド3aにおける遷移をデータ開始マーク3の一部として用いるという方法がある。これは、同期機能を妨げることなく行なうことができる。しかし、このアプローチには問題がある。それは、書き込みを使用可能にするための書き込みスプライス・フィールド1の検出とデータ開始マーク3の検出との間のNRZコード・ゼロ(表3及び表4のコード・テーブルを参照)が偶数または奇数個のいずれであるかにより、データ開始フィールド3bの隣の(2, 7)コードの同期フィールド遷

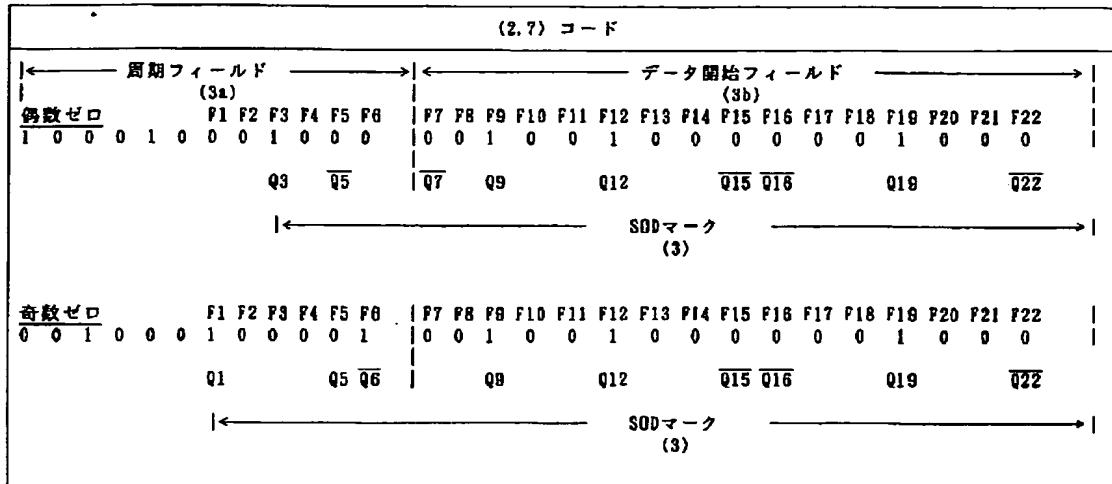
移が異なるロケーションに存在するという問題である。

【0046】この問題は図4及び図5に示すように独特な方法で解決された。ここで、ディスクから読み出されたシリアル(2, 7)コードは、個々のフリップ・フロップF1~F22に22ビットの記憶容量を有する検出回路25の長いシフト・レジスタにシフトされる。シフト・レジスタへのビット信号のシフトが完了すると、全てのビット信号(フリップ・フロップ電気状態)を同時に検査することが可能となる。“1”ビット故障許容を達成するためのビット信号の論理的相互関係が詳細に検査される。一般的に言うと、データ開始マークの3つの遷移の各々に、同期フィールドの最後の遷移の2つの可能なロケーションのOR関係を加えたロケーションは、4つの遷移のうちの3つが有効でなければならないように組み合わせられる。さらに、各遷移とのANDや、非遷移ビット即ちゼロ“0”を含む1つまたは2つの他のビット・ロケーションがある。これにより、初期の同期フィールド遷移がデータ開始フィールドの遷移と間違えられるということがなくなる。

【0047】以下に示す表7のコード・テーブルは、図4及び図5と図6及び図7とを結びつけて解釈した場合における論理的概念を表すものである。

【0048】

【表7】



【0049】図4及び図5のフリップ・フロップF1～F22は、同期フィールド3aの各ビット及びデータ開始の検出に用いられるデータ開始フィールド3bの各ビットで識別される。28ビットの組合せフィールドのうちの最後の22ビットがデータ開始の検出に用いられる。

【0050】同期フィールド3aに記録されるように奇数個のゼロまたは偶数個のゼロが同期マークに存在するかどうかは分からない。したがって、(2,7)コードには2つの異なる28ビット・プロットのビット・パターンがあり、同期フィールド3aにおいて、その1つは偶数個のゼロ用のもの、もう1つは奇数個のゼロ用のものである。2つのデータ開始ビット・パターンは同じである。表7のコード・テーブルにおいて、ビットは同期フィールド及びデータ開始フィールドを含む4つの7グループに分類されている。この28ビットの分類は説明のためだけのものであり、ディスクに記録されているグループ・パターンを表しているとは解釈されるべきではない。(2,7)コードの28ビットのうちの22ビットが用いられる。16ビットがデータ開始フィールド3bから成る。このデータ開始フィールド3bは同期フィールド3aにおける偶数及び奇数(2,7)コード構成と同一である。残りの6ビットは同期フィールド3aの最後のビットである。

【0051】図4及び図5において、NORゲートNR5、NR6、NR8、NR9、NR11～NR16及びNR18～NR20、及びNANDゲートND7、ND10及びND17は、対応する番号のフリップ・フロップをレジスタ内の次のフリップ・フロップに接続する。

【0052】各NORゲートには2つの入力及び1つの出力がある。この2つの入力が2つの電圧状態のうちの高レベル状態である場合、NORゲートの出力は機能的に高レベル状態となる。NORゲート入力のいずれか一方またはその両方が2つの電圧状態のうちの高レベル状態である場合には、NORゲートの出力は2つの電圧状態のうちの高レベル状態となる。

【0053】各NANDゲートには2つの入力及び1つ

の出力がある。NANDゲートの入力のいずれか一方またはその両方が2つの電圧状態のうちの高レベル状態にある場合、NANDゲートの出力は機能的にその2つの電圧状態のうちの高レベル状態となる。フリップ・フロップのバーQ出力端子は、各NORゲートの方の入力を構成する。

【0054】データ開始マークロード信号LDSMは、分周回路で、アンプAM6及びAM7を介して各NORゲートの残りの入力端子に接続される。インバータ・アンプI2は信号LDSMを反転する。この信号は次いでNANDゲートND7、ND10及びND17の各々の残りの入力に接続される。データ開始マークロード信号LDSMには2つの電圧状態があり、休止時は低レベルの電圧状態であり、高レベルの電圧状態では、クロック・パルスの発生時にデータ開始マークのロードLDSMをシフト・レジスタにロードする。

【0055】フリップ・フロップF1～F22はDフリップ・フロップであり、アンプAM3、AM4、AM5を介し、そのクロック・パルス端子において、各フリップ・フロップ間に並列に分配されたクロック・パルスCKによりクロックされる。これらの回路接続により、全フリップ・フロップにクロック・パルスが同時に加えられる。フリップ・フロップは、各々のD入力端子における電圧レベルに基づきクロック・パルスCKにより同時に真または偽にセットされる。ここで用いる“真”または“偽”は、フリップ・フロップの“1”または“0”の電気状態をそれぞれ表しており、フリップ・フロップ出力Qと呼ばれる。バーQ出力は常にQ出力の逆の状態であり、否定信号が論理の単純化(logic simplification)をもたらす際に用いられる。フリップ・フロップは、出力端子Qがその2つの電圧状態のうちの高レベル状態にある場合にその電気状態を表す“1”となり、出力端子Qがその2つの電圧状態のうちの高レベル状態にある場合にはその電気状態を表す“0”となる。各フリップ・フロップのCLEAR入力端子に同時に印加されるクリア信号CL

は、各フリップ・フロップのQ出力をその電気状態を表す“0”にセットし、バーQ出力をその“1”電気状態にセットする。

【0056】レジスタがクリアされた後に、ディスクからコードが読み出される。同期フィールド3a及びデータ開始フィールド3bのビット記録がディスク9から読み出されると、表7のコード・テーブルや図6及び図7に示すように左から右に読み出されて、フリップ・フロップF22の入力端子Dに接続された読み出しコード入力端子RDCD1においてシフト・レジスタに逐次入力される。データ開始コード3bのビット及び同期コード3aのビットの全てが読み出されるか又は変換されて、そこからの信号ビットは、最後のデータ開始信号ビット（ビット28）がフリップ・フロップF22において入力されるまで、クロック・パルスCKによりクロック・パルスCKに同期してレジスタの段階を介してステップ化される。

【0057】データ開始マークの検出を示すための論理回路を、図5の論理ゲート・アレイGAに示す。その論理的構成は図6及び図7に示す通りである。ANDゲートA1, A2, A3はその入力として一群の選択されたフリップ・フロップ信号を受信する。各ANDゲートは、群のなかに同時に存在する各信号に応答して、単一出力信号（本実施例において単一信号と呼ばれる信号A、B及びCのそれぞれ）を生成する。2つの異なる同期コードが存在し、その遷移ビットが異なるビット位置にあるため、フリップ・フロップF1～F6のシフト・レジスタでは、そこから得られるビット信号を記憶するための別々のフリップ・フロップを与えることが定められた。図6及び図7に示すように、NANDゲートND10, ND2はそれぞれ、偶数ゼロ及び奇数ゼロ同期フィールドからの遷移ビット信号をそれぞれ受信して、出力信号D1及びD2をそれぞれ生成する。信号D1またはD2は、そのいずれかがロー状態である場合にNANDゲートND3を使用可能にして出力信号Dを生成する。これは単一信号Dとも呼ばれる。ゲート論理は次のように定義される。

【0058】

【表8】

ゲート A1	$\overline{Q15} \cdot \overline{Q19} \cdot \overline{Q22}$	= A
ゲート A2	$\overline{Q12} \cdot \overline{Q16}$	= B
ゲート A3	$\overline{Q5} \cdot \overline{Q9}$	= C
ゲート ND1	$Q3 \cdot \overline{Q7}$	= D1
ゲート ND2	$Q1 \cdot \overline{Q6}$	= D2
ゲート ND3	$D1 + D2$	= D

【0059】ゲート論理のこの側面は、以後で説明するように、データ開始ビット・フィールドよりも前にある

ビット・フィールドが走査される際にデータ開始フィールドの誤り検出を不要にする為に意図されている。4つのNANDゲートND7～ND10の各々には、4つの単一信号A, B, C, Dからの3つの異なる信号グループがある。これらの信号グループは、ゲートND7～ND10に対してそれぞれABC, ACD, ABD及びBCDである。いずれかのグループの3つの信号すべてが同時に高レベル状態の場合に、データ開始マークが見つけれられたことを示す。これらのゲートの各々における4番目の入力信号CRは、故障許容機能モードにおいては常に高レベル状態である。信号CRは、これから説明するエラー検査及び修正回路の一部である信号NCRから得られる。修正検査が進行中でない場合には、修正信号NCRは低レベル状態である。インバータ・アンプI2はこの信号を反転させて、その2つの電圧状態のうちの高レベル状態で出力信号CRを生成して、故障許容データ開始マーク検出機能のためにゲートND7～ND10を使用可能にする。

【0060】このNANDゲート・アレイにおける5番目のNANDゲートND11は、ディスク上のデータ開始マークの正確さを検査するために用いられる。すべての信号A、B、C、Dはこのゲートに連結されるので、エラー検査モードでは、データ開始マークの記録ビットにはエラーがない。エラー検査は、信号NCRをその2つの電圧状態のうちの高レベル状態に切り替えることにより行われる。この状態でのアンプI2の出力信号CRは低レベルの電圧状態にあり、NANDゲートND7～ND10が使用禁止になる。故障許容データ開始マーク検出モードで該ゲートを使用禁止にするNANDゲートND11に直接連結された信号NCRはまた、使用可能信号となる。使用禁止にされた他のゲートND7～ND10はまた、エラー検査、データ開始マーク検出動作モードにおいてゲートND11だけをアクティブな素子のままとする。ここで、エラー検査、データ開始マーク検出機能は、記録されたデータ開始マークにおけるすべての遷移ビットが適所に存在して検出されることを要求する。

【0061】このゲート・アレイGAの出力はNANDゲートND12にあり、その入力として全ゲートND7～ND11の出力がある。あるゲートにおける入力信号全てが高レベルの電圧状態であるいずれかのゲートND7～ND11におけるデータ開始マーク検出条件により、該ゲートND7～ND11の出力をその電圧状態のうちの高レベル状態にする。NANDゲートND12の出力は、ゲートND7～ND11からのいずれか1つの入力とその電圧状態のうちの高レベル状態にある場合に高レベル状態となり、データ開始マークが検出されたことを示す。NANDゲートND12の出力は、フリップ・フロップF23の入力端子Dに連結されている。このフリップ・フロップF23の出力Q23は、その高レベルの電圧状態では、信号SMDTにより示されるデータ開始マーク3の検出を信号で知らせる。

【0062】表7のコード・テーブルに関して説明し、

また図6及び図7に示したように、同期コード3a及びデータ開始コード3bの遷移及び非遷移ビットの変換から生じた信号は、データ開始マーク3についての正確なデータ開始双ビット・アレイではなく、同期フィールド3aなどにおけるような双ビット・アレイの誤識別を除去するような方法で組み合わせられる。これは、データ開始フィールド3aよりも前のビット・フィールドの走査中に複製することのできない論理信号パターンで、非遷移信号ビットを遷移信号ビットと組み合わせることにより達成される。したがって、これらの論理的組合せは、該先行ビット・フィールド構成の知識により構成される。図4及び図5で実施され、図6及び図7の論理に関して説明された組合せは、典型的なものであり、本発明の原理を明示するものであり、独特なものであるが、データ開始マークの独創的な識別を達成するための有用なまたは論理的な解法についてのみを表すものではない。

【0063】図4及び図5の回路と図6及び図7の信号テーブルとを参照すると、単一信号Aは、出力ビット信号バーQ15、Q19及びバーQ22をANDゲートA1においてAND関係で組み合わせて発現したものであり、その信号の各々は、その対応する番号を有する、入力回路上のフリップ・フロップから出力されたものである。

【0064】単一信号Bは、フリップ・フロップF12及びF16からの出力ビット信号Q12及びバーQ16を入力として有するANDゲートA2の出力において発現された。

【0065】単一信号Cは、フリップ・フロップF5及びF9からの出力ビット信号バーQ5及びQ9を入力として有するANDゲートA3の出力において発現した。

【0066】単一信号Dは、NANDゲートND1の出力信号D1またはNANDゲートND2の出力信号D2を入力として有するNANDゲートND3の出力から発現した。フリップ・フロップF3及びF7のビット信号Q3及びバーQ7は、NANDゲートND1への入力を構成する。フリップ・フロップF1及びF6のビット信号Q1及びQ6は、NANDゲートND2への入力を構成する。この回路接続により、同期ビット・フィールド3aの偶数または奇数ゼロ・ビット構成が、信号D1及びD2でそれぞれ表される。したがって、偶数同期ビット・コードまたは奇数同期ビット・コードからのビット信号から生じる単一信号Dは、データ開始マーク検出回路の論理で組み合わせられる。図6及び図7では、同期フィールド3a及びデータ開始フィールド3bの信号“1”または“0”には1~28の番号が付けられ、ビット信号番号は、データ開始コードの最後のビット28が最後のレジスタのフリップ・フロップ22にロードされるという条件で、検出回路25のシフト・レジスタのフリップ・フロップF1~F22に関連づけられている。これは、データ開始フィールド3a及び同期フィールド3bからの、データ開始マーク3を定義するすべてのビット信号が、シフト・レジスタのフリップ・フロップにロードされるという条件である。ゲートA1、A2、A3、ND

1、ND2は、明示されたフリップ・フロップ及びその各出力信号からの入力信号Q、バーQや単一信号A、B、C、D1、D2と共に各列にあるので、各ゲートへのフリップ・フロップ入力は容易に識別される。したがって、例えば、ANDゲートA1への入力は、バーQ15、Q19、バーQ22である。これらの信号はビット信号“0”(21)、“1”(25)、“0”(28)がフリップ・フロップF15、F19、F22のQ出力にある場合に同時に存在する。残りのゲートにおける信号についても同様の考察が適用される。信号D1またはD2のいずれかが存在するときには信号Dが存在する。これらの信号は、同期フィールド3aの偶数ゼロ(図6)または奇数ゼロ(図7)のフォーマット化に依存するので同時には存在しない。図5に示すようなゲートND1、ND2、ND3の実行は図6及び図7に論理的に示されており、図6では、ゲートND3の入力におけるゲートND1の出力D1が信号Dの生成をもたらしている。同様に、図7では、ゲートND3の入力における信号D2が単一信号Dを生成している。

【0067】異なるフリップ・フロップからの各ゲートについての信号グループの選択的導出により、データ開始マークの誤識別が排除される。例えば、ビット1~28からのビット信号ストリームがレジスタに伝えられると、ビット“0”(14)、“1”(18)、“0”(21)が、ANDゲートA1への入力において使用可能(バーQ、Q、バーQ)信号パターンを生成し、単一信号Aが生成される。しかし、単一信号B、C、Dはこのときには生成されない。というのも、ビット信号グループ“0”(11)、“1”(15)、フリップ・フロップF12、F16、ゲートA2、ビット信号“0”(4)、“0”(8)、フリップ・フロップF5、F9、ゲートA3、及びビット信号“0”(2)、“0”(6)、フリップ・フロップF3、F7、ゲートND1が使用可能になっていないからである。同様の考察は、データ開始マーク3の全体がロードされる前の、レジスタにおける信号伝播中の単一信号B、C、Dの断続的生成に関しても適用される。図3に示すように、検出回路25のデータ開始マーク検出信号SMDETは、デコーダ/エンコーダ27への入力として連結されている。図4及び図5のシフト・レジスタは、検出回路25の一部を構成しており、データ開始マークが検出されたことを示す信号SMDETを生成する。信号SMDETはデコーダ/エンコーダ27に連結されている。

【0068】デコーダ/エンコーダ27によるデータ開始マークの記録中または保守中に、データ開始マークが正確であるか検査することが望ましい。修正信号NCRがその2つの電圧状態のうちの高レベル状態にある場合には、ゲートND11だけが使用可能となり、データ開始マークの全ビットの存在及びそのビット信号が正しい位置にあることを要求する。この機能は、不良データ開始マークの検出をもたらす。データ開始マークが正しければ、システムは、例えば、ノイズから生じた欠陥またはわず

かにトラックを外れていることなどの、読み出し時における単一ビット欠陥を処理することが保証される。SODマークをロードするためには3つのクロック・パルス・タイムが要求される。その1つは、SOD マーク検出フリップ・フロップF23を読み出すためのものである。レジスタにおけるロードSODマーク信号LDSMを適用するためのものもある。したがって、同期化において、SOD マークは、ロードされると、レジスタにおける3つの段階で置き換えられる。このエラー検査モードにおいてデータ開始マークが不良であれば、信号SMDET は低レベルの電圧状態となり、データ開始マーク3が見つからないことを示す。図3のデコーダ/エンコーダ27は信号LDSMを生成し、次のクロック・パルスでデータ開始マーク3がロードされる。3つのクロック・パルス間隔が関与しているため、ロードされたデータ開始マークは、レジスタの3つのフリップ・フロップ位置に置かれて同期化を保つ。

【0069】さらに詳細には、信号LDSMが加えられると、フリップ・フロップ・チェーンにおけるNORゲートは、低レベルの電圧状態の信号を以後のフリップ・フロップの入力端子Dに連結する。フリップ・フロップ・チェーンにおけるNANDゲートは、高レベルの電圧状態の信号を以後のフリップ・フロップの入力端子Dに連結する。クロック・パルスが次に生成された際に、データ開始マークがシフト・レジスタに存在する。

【0070】表7のコード・テーブルと図6及び図7とを参照すると、3つのクロック・パルス間隔が経過したため、フリップ・フロップF6, F9, F16が、電気状態を表す“1”にセットされ、残りのフリップ・フロップが、データ開始マークをレジスタにロードするため、信号LDSMが加えられた後にクロック・パルスが加えられた際に、電気状態を表す“0”にセットされる。この目的のために、NANDゲートND7, ND10, ND17は、レジスタ回路において、それぞれ指定されたフリップ・フロップの入力に連結される。シフト・レジスタはクリアされ、全フリップ・フロップをその電気状態を表すゼロ“0”にセットする。信号LDSMが加えられると、全NORゲートへの両入力が高レベル状態となる。各NORゲートの出力は低レベルとなる。インバータ・アンプI2は低レベルの入力信号を各NANDゲートの一方の入力と連結し、この場合、各NANDゲートの出力は高レベル状態になる。この時にクロック・パルスはそれに応じてフリップ・フロップをセットし、そこでデータ開始マークをロードして、シフト・レジスタに3つのビット・タイム（クロック・パルス・タイム）がシフトされる。

【0071】エンコードされたマークRDCD2は次にエンコーダ/デコーダ27にシフトされ、そこで修正されたSODマークをデコードしてディスク・コントローラ15(図3参照)に送る。修正が完了すると、修正信号NCRはオフ

されて、以後のデータは重ね書きされない。

【0072】読み出し動作モードにおいて、検出からまぬがれるようなデータ開始マークの不良がある場合には、以後のデータ・パターンは、遅いデータ開始マークと間違われることがある。この誤識別を防止するための通常の方法は、タイムアウト・カウンタを用いることである。しかし、タイミング的な不確実性がある場合には、正しい周期冗長検査CRCの欠如、検査及び/またはデータの欠如について信頼がおかれる。

10 【0073】本発明をディスク・ドライブのデータ開始マーク検出に関して、特定の論理概念と、正及び負信号論理の特定の組合せと、特定のフリップ・フロップ、ゲート及びアンプと、及びNRZコードや(2,7)コードとを用いて述べてきたが、本発明は、外部回路のビット信号を処理することにより記録されコード化されたビット・パターンを検出及び/または検査するための手段が設けられ、制御または修正の目的で、エンコードされたビット・パターンから得られる異なるビット信号グループからのビット信号の異なる小組合せを論理的に処理するための手段が設けられた、可動記録媒体を有するメモリ・システムにおいて実施可能であることは当業者には明らかである。

【0074】

【発明の効果】本発明は上述のように、ヘッダ・フィールドのビット欠陥に関する故障許容を提供することができ、これによりデータ開始コード等のヘッダ・フィールド・コードにおける単一ビット・エラーに基づく以後のデータの割愛を最小にし、データスペースの浪費を最小限に抑えることが可能となる。

30 【図面の簡単な説明】

【図1】記憶システムにおける可動記憶媒体内のヘッダ・フィールドを有する一般的なセクタを示す概略図である。

【図2】記憶システムにおける可動記憶媒体内のヘッダ・フィールドを有する他の一般的なセクタを示す概略図である。

【図3】本発明の原理を具体化したディスク・ドライブ・システムを示すブロック図である。

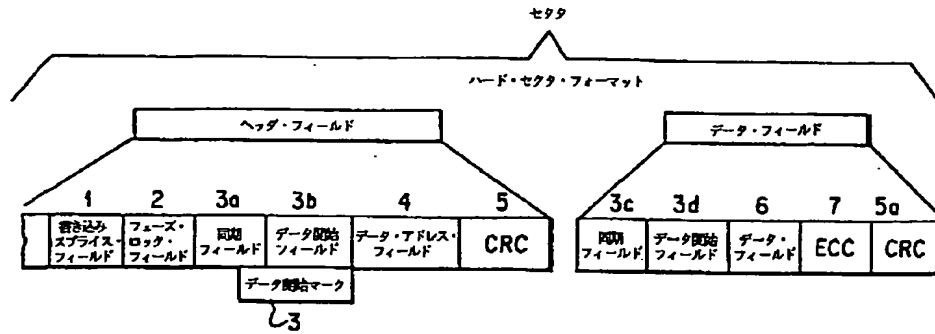
40 【図4】図3の検出回路の詳細な特徴を示す回路図（左半分）である。

【図5】図3の検出回路の詳細な特徴を示す回路図（右半分）である。

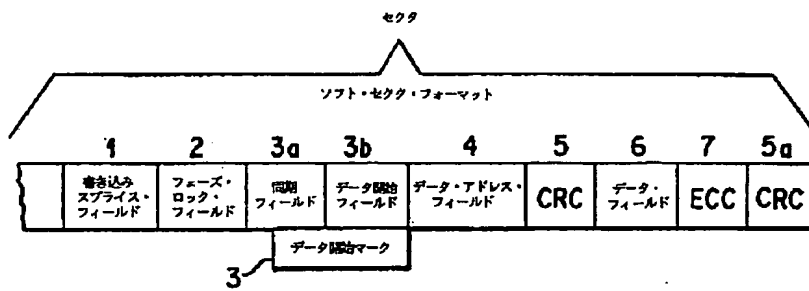
【図6】図4及び図5の検出回路の説明における単一信号源及びその論理構成を示すテーブルである（同期フィールドが偶数ゼロフォーマットの場合）。

【図7】図4及び図5の検出回路の説明における単一信号源及びその論理構成を示すテーブルである（同期フィールドが奇数ゼロフォーマットの場合）。

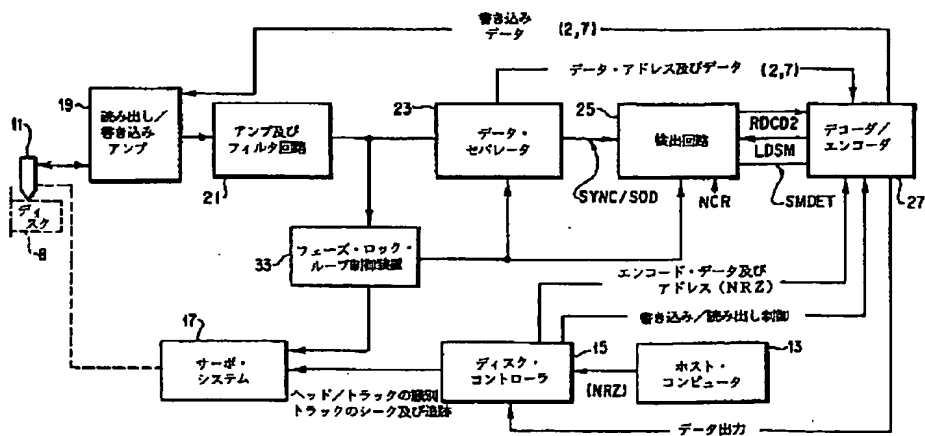
【図1】



【図2】



【図3】



The timing diagram illustrates the internal logic of the 74181 ALU. It shows the propagation of data from the inputs (F22, F20, F19, F18, F17, F14, F13, F12, F11, F10, F9, F8) through various logic gates (AND, OR, NOT) and flip-flops (D, CK) to the outputs (Q22, Q20, Q19, Q18, Q17, Q14, Q13, Q12, Q11, Q10, Q9, Q8). The clock signal (CK) is shown as a series of pulses, and the data signals are shown as logic levels (0 or 1) that change in response to the clock. The diagram also shows the internal logic gates and flip-flops used in the ALU, including the 74181 ALU itself, and the 74182 carry look-ahead logic.

[illegible]

偶数ゼロ																								ゲート		番号					
問題フィールド												データ開始フィールド																			
SODマーク																															
1	0	0	0	1	0	0	0	1	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	1	0	0	0	A1	A	ゲート	番号
					F1	F2	F3	F4	F5	F6	F7	F8	F9	F10	F11	F12	F13	F14	F15	F16	F17	F18	F19	F20	F21	F22	A2	B			
																	0										A3	C			
																											ND1	D1			
																											ND2				
																													ND3	D	

[illegible]